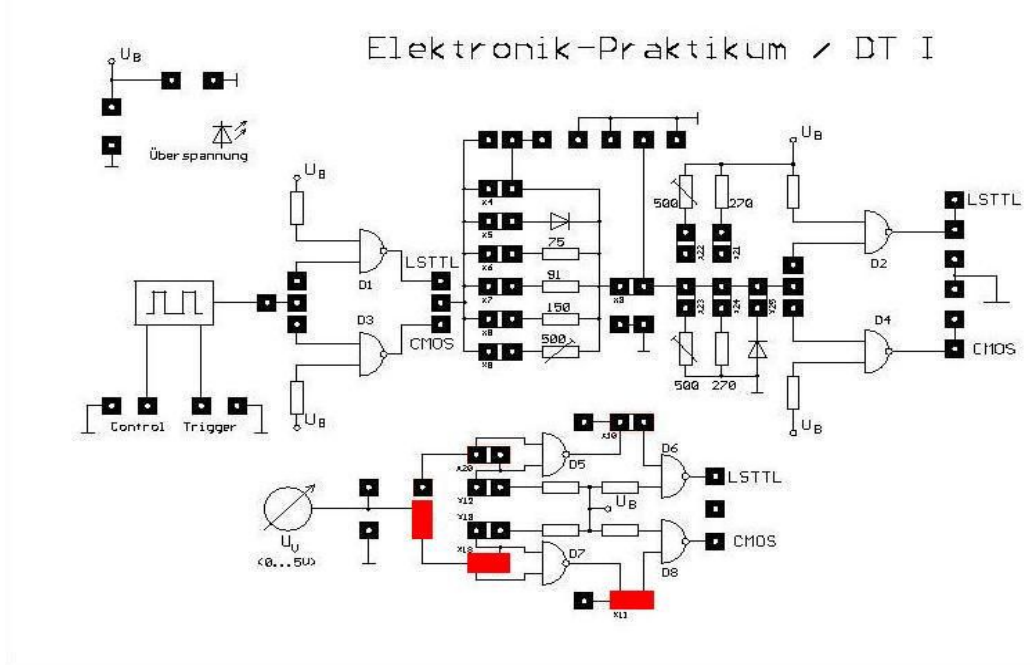


Die Eingangsspannung wurde auf den maximalen Pegel für LOW ($U_{E\text{ LOW}} = 0,8\text{V}$) und den minimalen Pegel für HIGH ($U_{E\text{ HIGH}} = 2,0\text{V}$) am Eingang gestellt. Die Ausgangsströme und -spannungen wurden hinter dem LS-TTL Gatter und vor dem Last-Gatter gemessen um zu sichern, dass diese innerhalb der benötigten Ausgangspegel lagen. Anschließend wurden auf dem selben Platineil die Brücken (rot) so umgesteckt, dass die Messungen am CMOS Gatter V4011 durchgeführt werden konnten. Das nachfolgende CMOS Gatter wurde benutzt um den Lastfaktor 1 zu erreichen.



(Aufgabe 2)

Die Eingangsspannung wurde auf die für U_E garantierten Grenzwerte eines LS-TTL Gatters eingestellt (siehe Aufgabe 1). Die Ausgangsspannungen wurden hinter dem CMOS Gatter und vor dem Last-Gatter gemessen um zu sichern, dass diese innerhalb der benötigten Grenzwerte liegen. Eine Strommessung wurde nicht durchgeführt, da beim CMOS Gatter nur beim Umschalten zwischen den Pegeln Ströme fließen.

Aufgabe 3

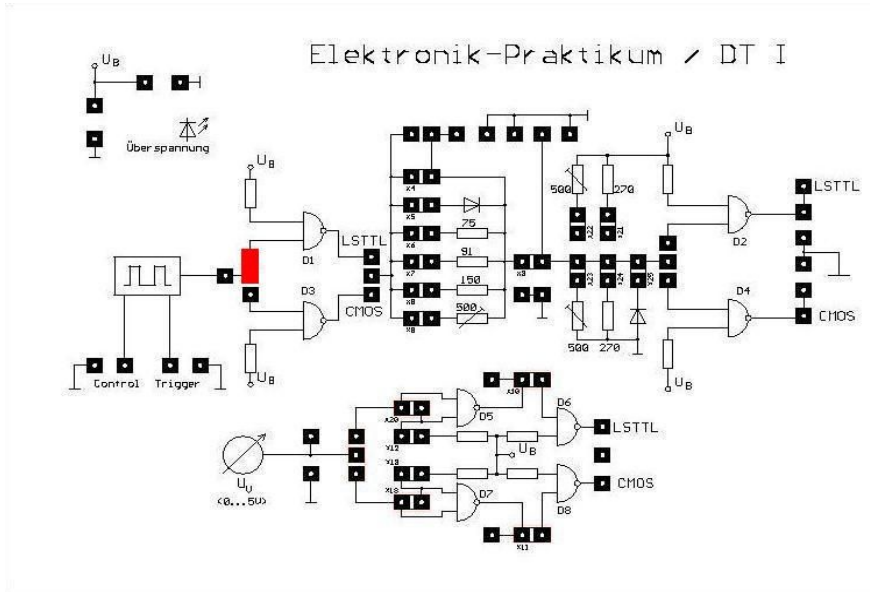
Zum Ermitteln der Übertragungskennlinie wurden die Brücken wie bei Aufgabe 1 (LS-TTL) und Aufgabe 2 (CMOS) gesteckt. Es wurden die gleichen Messpunkte wie in den ersten Aufgaben verwendet, jedoch keine Strommessung vorgenommen. Die Eingangsspannung wurde in kleinen Schritten vergrößert, im Umschlagbereich noch einmal weiter verkleinert bis der Ausgangspegel für LOW erreicht wurde (Messung „von links“). Danach wurde die Eingangsspannung wieder schrittweise verkleinert um die Hysteresekurve „von rechts“ zu ermitteln.

Aufgaben 4 und 5

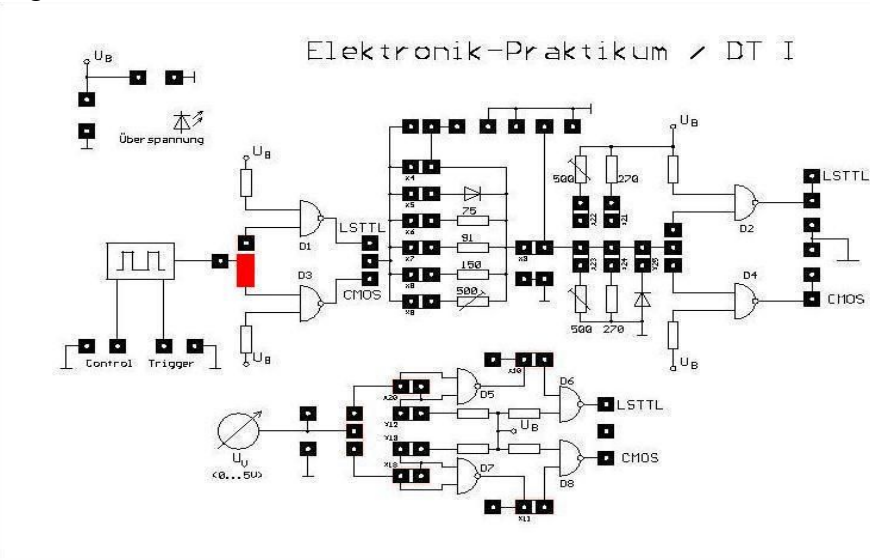
Um die Messung der mittleren Signalverzögerungszeit vorzunehmen wurden auf der oberen Hälfte der Platine die Steckbrücken (rot) gemäß den nachfolgenden Plänen gesteckt. Bei diesen Messungen wurde keine Last an die Ausgänge geschaltet. Der Verlauf der Eingangsspannung wurde mittels des Oszilloskops vor dem Eingang des Gatters aufgezeichnet (CH1). Die Ausgangsspannung wurde direkt hinter dem Gatter gemessen und mittels des Oszilloskops aufgezeichnet (CH2). Mit Hilfe der Cursor-Funktion des Oszilloskops wurden die Signalverzögerungszeiten $t_{p\text{ LH}}$ und $t_{p\text{ HL}}$ zwischen Eingangskurve und Ausgangskurve ermittelt.

$$t_p = \frac{t_{p\text{ LH}} + t_{p\text{ HL}}}{2}$$

Schaltung für Aufgabe 4:

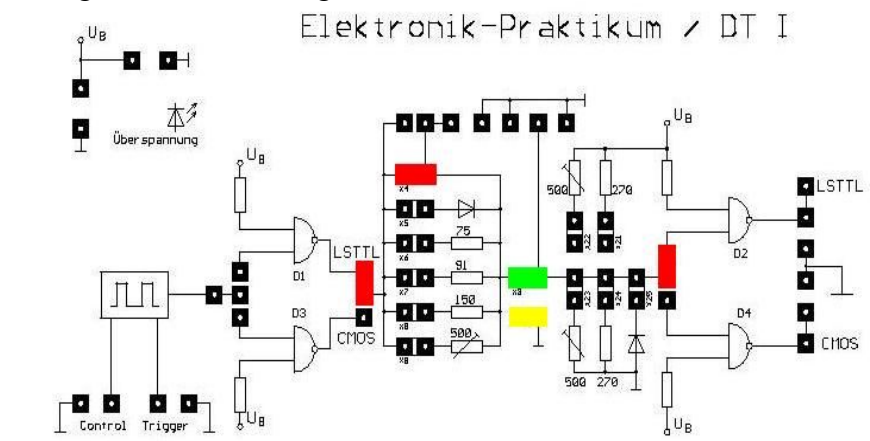


Schaltung für Aufgabe 5:

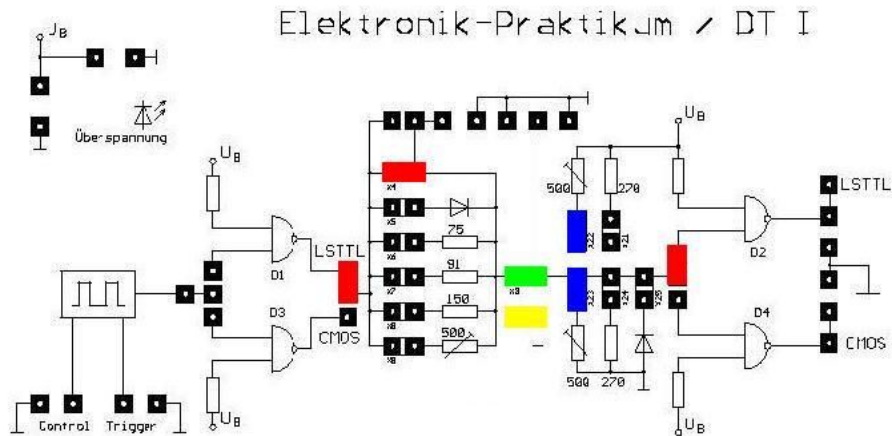


Aufgabe 6:

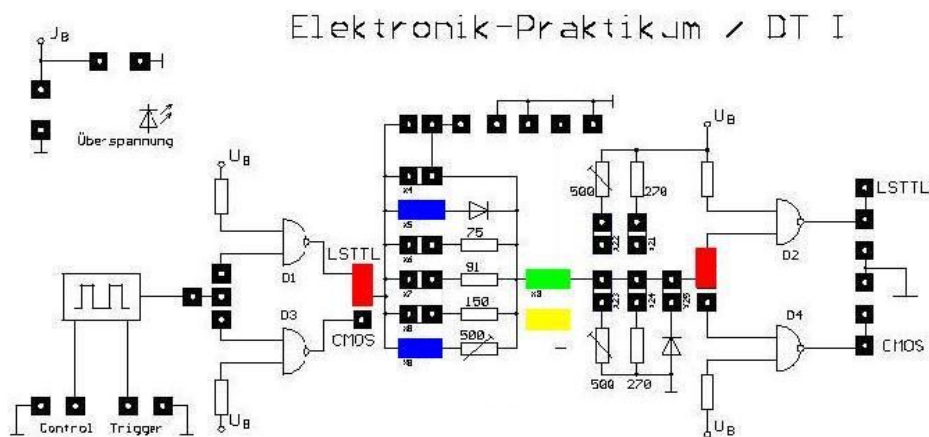
Zur Messung der Signale bei der Übertragung auf einer elektrisch langen Leitung wurden die Steckbrücken (rot) nach folgendem Plan gesteckt. Zuerst wurde die Einzelleitung getestet, danach die verdrehte Doppelleitung. Der signalübertragende Leiter des 5m langen verdrehten Doppelkabels ist grün markiert, der geerdete Leiter ist gelb markiert.



Die Ausgangsspannung des LS-TTL Gatters (D1) nach dem elektrisch langen Leiter wurde mit Hilfe des Oszilloskops aufgezeichnet (vor Gatter D2). Im ersten Fall wurde versucht mittels der Potentiometer (einstellbare Widerstände, blau markiert) die Leitung abzugleichen, d.h. ein gutes Pegelverhältnis zu erhalten ohne großes Überschwingen zu haben. Gleichzeitig wurde versucht die Pegelbereiche einzuhalten, daher den Offset möglichst gering zu halten. Nachfolgend wurden die beiden Widerstände mit Hilfe des Voltmeters vermessen.



Im zweiten Fall wurden eine Diode mit einem Poti, beide blau markiert, nach dem Ausgang des LS-TTL und vor dem elektrisch langen Leiter geschaltet. Über das Potentiometer wurde versucht die Leitung abzugleichen und wieder die Pegelbereiche so gut wie möglich einzuhalten. Die Diode soll den Widerstand für die LH-Flanke überbrücken, der Widerstand soll HL-Flanke reduzieren. Im Anschluss wurde der Widerstand des Potentiometers vermessen.



Messergebnisse

Aufgabe 1

LS-TTL	LOW	HIGH
Ue / V	0,80	2,00
Ua / V	3,91	0,08
Ia / mA	0,00	0,27

Aufgabe 2

CMOS	LOW	HIGH
Ue / V	0,8	2
Ua / v	5,07	5,07

Aufgabe 3 LS-TTL

von Links		von Rechts	
Ue / V	Ua / V	Ue / V	Ua / V
0	4,51	1,3	0,09
0,2	4,4	1,2	0,09
0,4	4,25	1,1	0,09
0,6	4,11	1,05	0,6
0,8	3,96	1	1,14
0,9	3,58	0,98	1,29
0,91	3,51	0,97	1,34
0,92	3,41	0,96	1,4
0,93	3,35	0,95	1,45
0,94	3,26	0,94	1,6
0,95	3,19	0,93	1,7
0,96	3,1	0,92	1,8
0,97	3	0,91	1,8
0,98	2,9	0,9	1,9
0,99	2,4	0,89	3,68
1	1,8	0,88	3,78
1,1	1,1	0,84	3,91
1,2	0,75	0,82	3,95
1,3	0,09	0,8	3,97
1,4	0,09	0,75	4
1,5	0,09	0,7	4,05
		0,6	4,1
		0,5	4,2
		0,4	4,25
		0,3	4,33
		0,2	4,4
		0	4,51

Aufgabe 3 CMOS

von Links		von Rechts	
Ue / V	Ua / V	Ue / V	Ua / V
0	5,07	2,95	0
2,5	5,07	2,94	0
2,7	5,07	2,93	0
2,9	5,07	2,92	0
2,91	5,07	2,91	0,09
2,92	0	2,9	5,07
2,93	0	2,89	5,07
3	0	2,8	5,07

Aufgabe 4

f=198,4kHz LS-TTL

T _{pL-H} / ns	5,6
T _{pH-L} / ns	4,6

Aufgabe 5

f=198,4kHz CMOS

T _{pL-H} / ns	66
T _{pH-L} / ns	96

Aufgabe 6 Aufbau 1 Z=130Ω

R1 (oben)	239Ω
R2 (unten)	291Ω
U _{aLow}	600mV
U _{aHigh}	2,68V

Aufgabe 6 Aufbau 2 Z=130Ω

R _a	144Ω
U _{aLow}	400mV
U _{aHigh}	3,28V

Auswertung

Aufgabe 1

Die Messung bestätigt, dass das LS-TTL Gatter innerhalb der benötigten Pegelbereiche arbeitet und genügend Raum bietet um Fehler durch Schwankungen auszugleichen. Alle Pegelbereiche am Ausgang wurden bei den jeweiligen worst-case Werten am Eingang eingehalten.

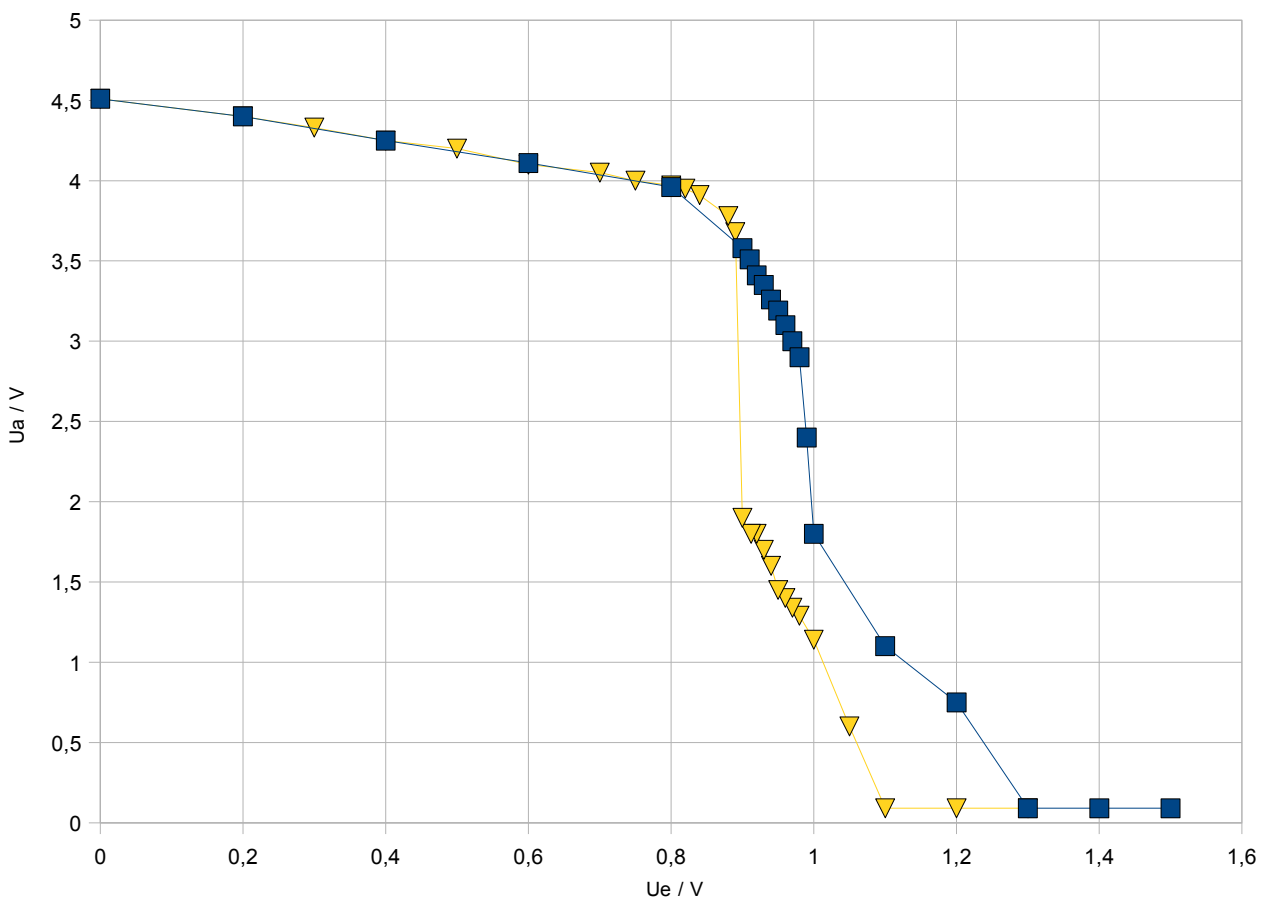
Aufgabe 2

Die Messergebnisse zeigen, dass das CMOS Gatter bei den garantierten Grenzwerten für U_e eines LS-TTL Gatters die vorgeschriebenen Pegelbereiche nicht einhalten kann. Daher kann geschlussfolgert werden, dass der fehlerfreie Betrieb von verknüpften CMOS und LS-TTL Gattern nicht gewährleistet ist. Jedoch sollte der Betrieb ohne große Probleme möglich sein, wenn der Ausgang eines CMOS Gatters und der Eingang eines LS-TTL Gatters benutzt wird.

Aufgabe 3

LS-TTL:

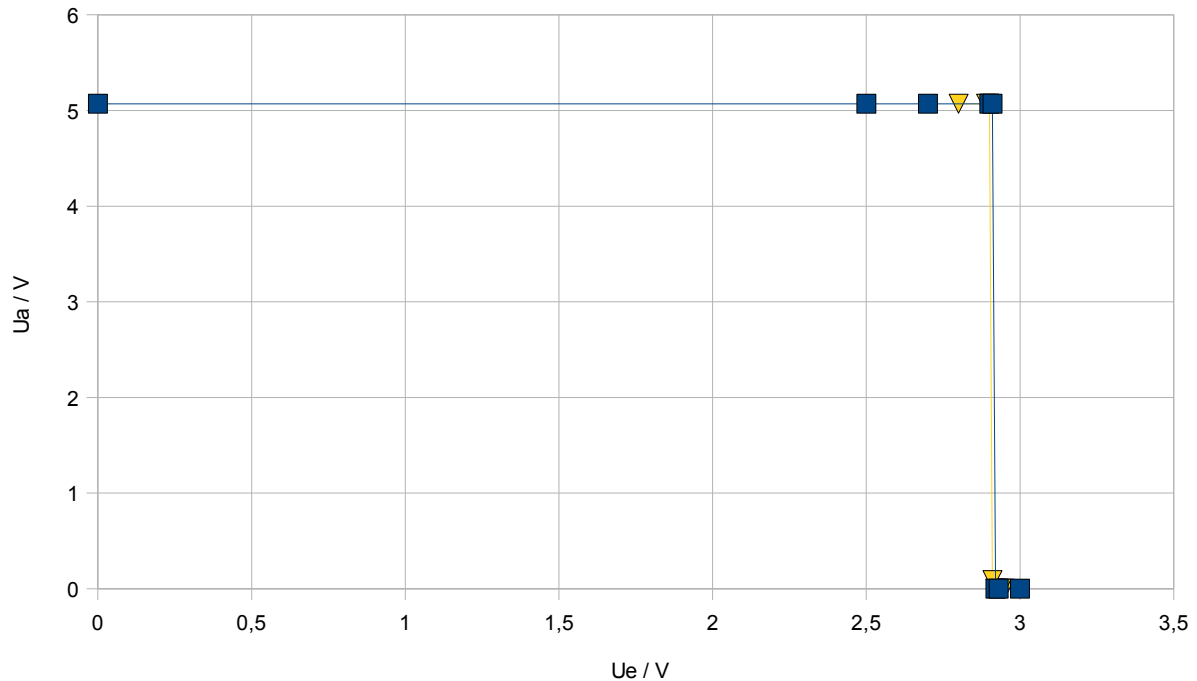
Blaue Werte sind „von Links“ aufgenommen worden, gelbe „von Rechts“.



Beim LS-TTL ist zu erkennen, dass vor dem Bereich der undefinierten Pegelbereiche die Kurve flach abfällt, in dem undefinierten Bereich jedoch relativ steil. Dies war aufgrund der Transistoren innerhalb eines TTL vorhersehbar. Durch den steilen Abfall im undefinierten Bereich wird es möglich die Pegelbereiche einzuhalten und somit eindeutige Ergebnisse zu liefern.

CMOS:

Blaue Werte sind „von Links“ aufgenommen worden, gelbe „von Rechts“.



Das CMOS Glied liefert wie erwartet einen sehr steilen, fast senkrechten Fall der Kurve im Diagramm. Dadurch folgt die fast nicht messbare Hysterese. Ein eindeutiges Ergebnis ist hier sehr gut durch den fast senkrechten Sprung gegeben.

Die unterschiedlichen Sprungstellen des LS-TTL und des CMOS beruhen auf den unterschiedlichen Techniken der Gatter, Bipolartransistoren beim TTL und Feldeffekttransistoren beim CMOS.

Aufgaben 4 und 5

Aus den gemessenen Zeiten lässt sich die mittlere Verzögerungszeit berechnen:

$$t_p = \frac{t_{pLH} + t_{pHL}}{2}$$

beim LS-TTL ergab sich daher:

$$t_p = 5,1 \text{ ns}$$

beim CMOS ergab sich:

$$t_p = 81 \text{ ns}$$

Diese liegen im Bereich der erwarteten Ergebnisse.

Anhand der Aufgaben 3,4 und 5 kann man erkennen, dass beide Gattertypen ihre Vor- und Nachteile haben. Das LS-TTL Glied hat einen langsameren Abfall zwischen HIGH und LOW Pegel aber dafür eine viel kleinere Signalverzögerungszeit. Das CMOS Glied hat einen fast direkten Wechsel vom HIGH zum LOW Pegel, allerdings eine wesentlich größere Signalverzögerungszeit.

Aufgabe 6

Im ersten Fall wurde folgender Widerstand ermittelt:

$$\frac{1}{Z} = \frac{1}{R_1} + \frac{1}{R_2} + \frac{1}{R_3} \rightarrow Z = \frac{R_1 \cdot R_2 \cdot R_3}{R_1 \cdot R_3 + R_2 \cdot R_3 + R_1 \cdot R_2} \quad R_3 = 4\text{k}\Omega \rightarrow Z = 127,05\Omega$$

Die Pegelgrenzen wurden bei diesen Werten in beiden Fällen eingehalten.

Im Vergleich zeigt sich die zweite Anordnung als die günstigere, da die minimale Spannung mit 400mV deutlich unter dem maximalen LOW-Pegel von 800mV liegt. Auch der maximale Pegel von 3,28V liegt deutlich über dem minimalen HIGH-Pegel von 2,0V. Da die Extremwerte bei der ersten Messung mit zwei Widerständen näher an den garantierten Grenzwerten für U_e liegen, sind diese bei starken Störungen leichter für Fehler anfällig.