

Elektronikpraktikum: Digitaltechnik 1

Datum, Ort: [REDACTED]

Betreuer: Schwierz

Praktikanten: [REDACTED]

Gruppe: [REDACTED]

Ziele

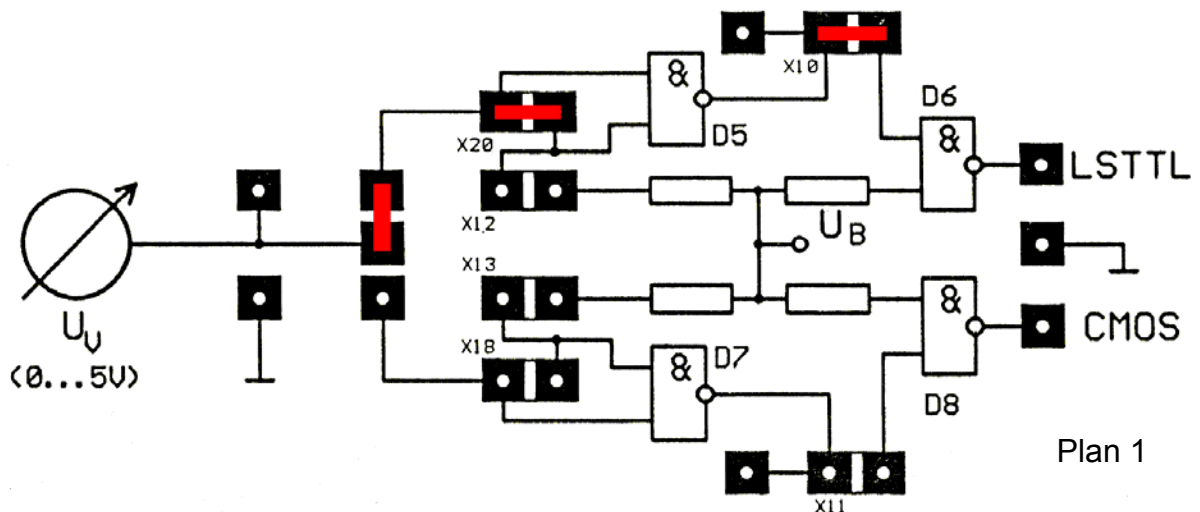
- Bestimmung der Low- und High-Ausgangspegel bei einer LSTTL- und einer CMOS-Schaltung (Aufgabenteile 1 und 2)
- Bestimmung der Übertragungskennlinie o.g. Schaltungen (Aufgabenteil 3)
- Bestimmung der mittleren Signalverzögerungszeiten o.g. Schaltungen (Aufgabenteile 4 und 5)
- Optimierung einer TTL-Schaltung für die Übertragung von Schaltimpulsen über eine lange Leitung (Aufgabenteil 6)

Durchführung

Aufgabenteil 1 und 2

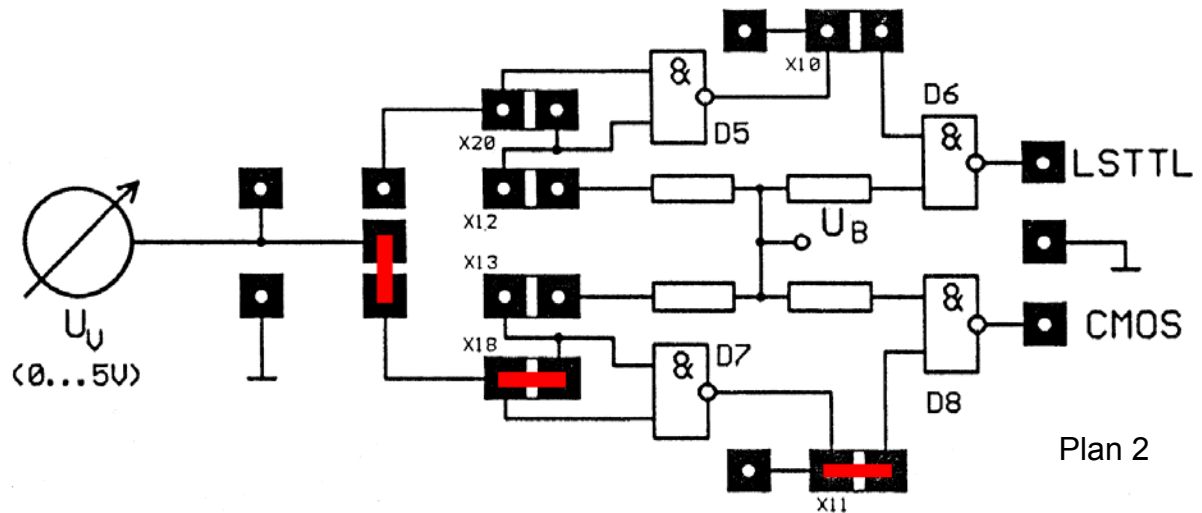
Nach Einweisung durch den Betreuer wurde auf der gegebenen Platine mit Hilfe der Steckbrücken die untere Schaltung so geschaltet, dass eine Messung am LSTTL 74LS00 durchgeführt werden konnte (siehe Plan 1). Die Schaltung hatte einen Lastfaktor 1, als Last wurde ein weiterer LSTTL genutzt.

Die Eingangsspannung wurde auf die Eingangsspiegel $U_{e,low}=0,8V$ und $U_{e,high}=2,0V$ von Hand gestellt. Die Ausgangsspannungen und -ströme wurden hinter dem LSTTL-Gatter (vor der Last!) gemessen und überprüft, ob sie innerhalb der benötigten Ausgangsspiegel lagen.



Im Anschluss wurde selber Platinenteil mit den Brücken so geschaltet, dass eine Messung am CMOS V 4011 durchgeführt werden konnte (siehe Plan 2). Als Last wurde hier ein weiterer CMOS genutzt.

Die Eingangsspannungen wurden auf $U_{e,low}=1,5V$ und $U_{e,high}=2,7V$ gestellt. Hier wurden ebenfalls die Ausgangsspannungen hinter dem CMOS-Gatter (vor der Last!) gemessen. Eine Strommessung wurde nicht durchgeführt, da beim CMOS Ströme nur beim Umschalten zwischen den Pegeln fließen.

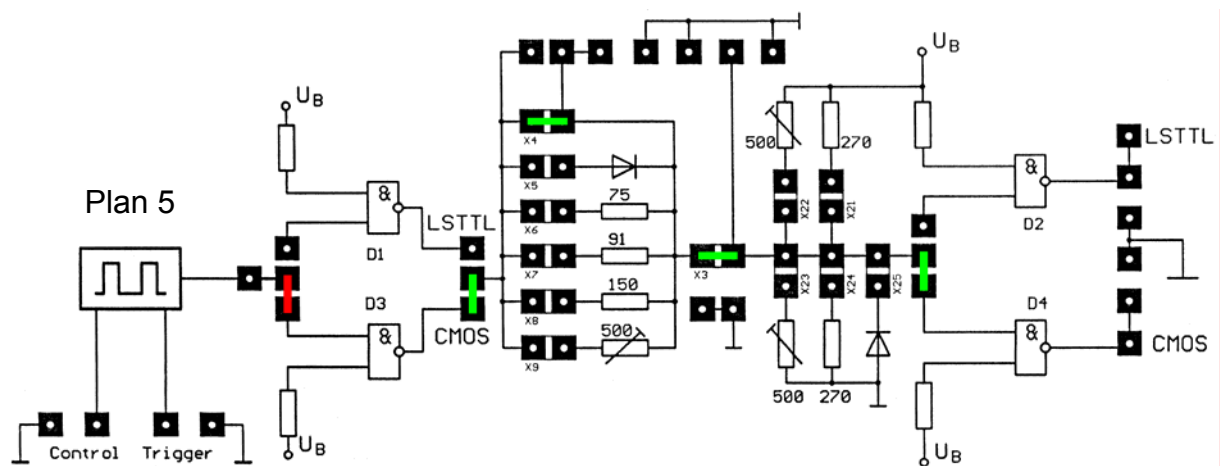
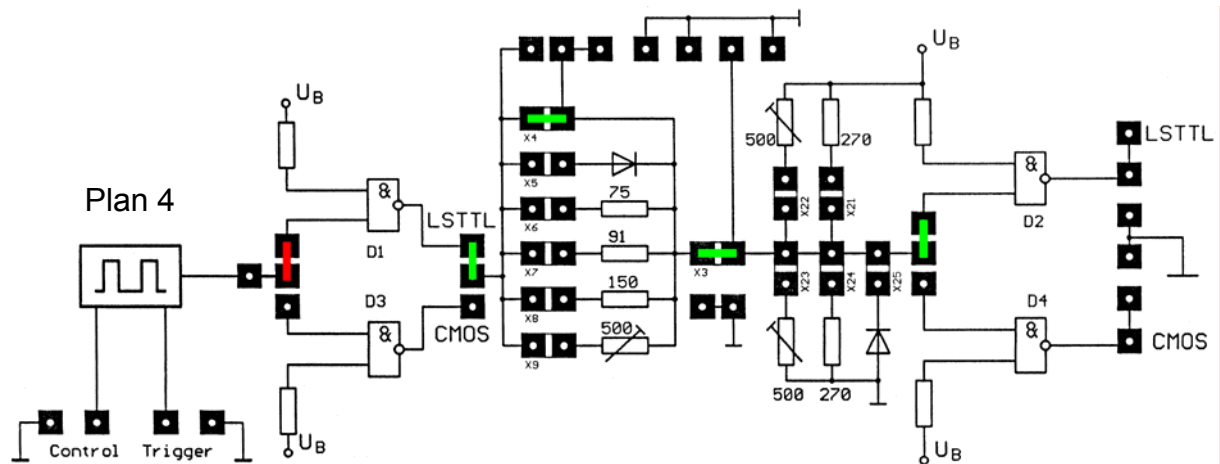


Aufgabenteil 3

Für die Messung (mit Last) wurden die Schaltungen wie in Plan 1 und 2 gesteckt. Für die Messung am LSTTL ohne Last wurde die Brücke X10 nicht gesteckt. Die Eingangsspannung wurde in kleinen Schritten vergrößert und hinter dem Gatter (vor der Last!) gemessen. Im Sprungbereich wurden die Schritte nochmals verkleinert. Nach der Messung „von links“ wurde zur Ermittlung der Hysterese die Eingangsspannung wieder in kleinen Schritten verkleinert, und so „von rechts“ gemessen.

Aufgabenteile 4 und 5

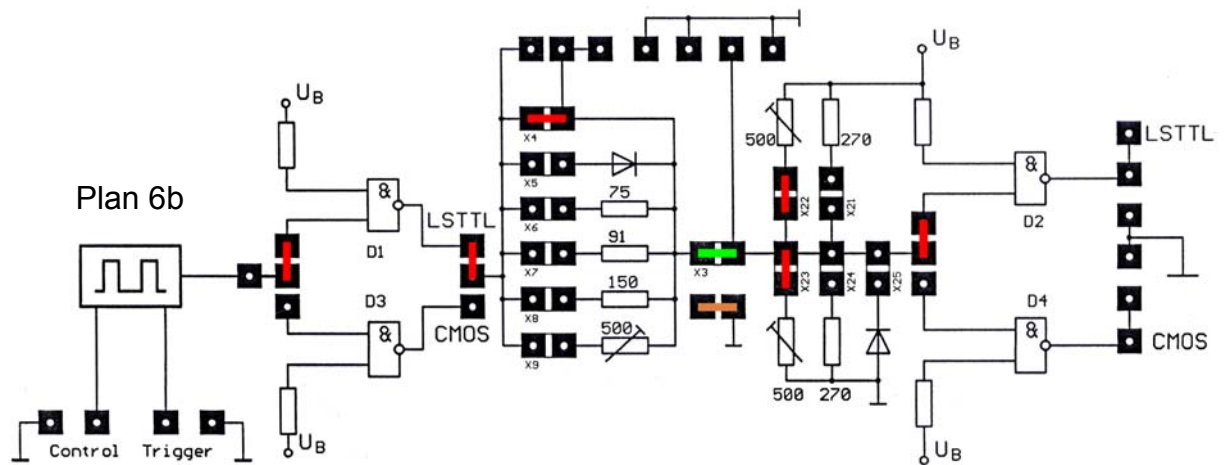
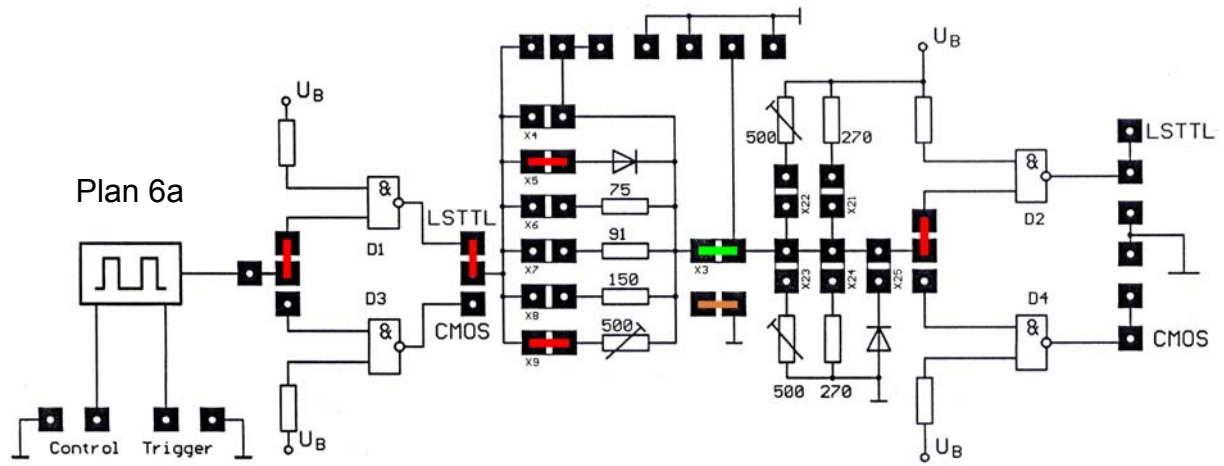
Für die Messung der Signalverzögerungszeit wurde auf der Platine die obere Schaltung mit Hilfe der Steckbrücken geschaltet (siehe Plan 4 für LSTTL, sowie Plan 5 für CMOS; rote Brücken). Der Verlauf der Ausgangsspannung wurde mit Hilfe eines digitalen Oszilloskops unmittelbar hinter dem Gatter aufgezeichnet. Der Verlauf der Eingangsspannung wurde ebenfalls aufgezeichnet. Am Oszilloskop wurde mit Hilfe der Cursor-Funktionen die Signalverzögerungszeit zwischen Eingangsspannung(skurve) und Ausgangsspannung(skurve) ermittelt. Selbe Messungen wurden im Anschluss erneut mit Last durchgeführt. Die Last wurde entsprechend den grünen Brücken in Plan 4 und 5 angeschlossen.



Aufgabenteil 6

Nach Einweisung durch den Betreuer wurde erneut die obere Schaltung auf der Platine mit Hilfe der Steckbrücken und einem 5 Meter langem verdrehten Doppelkabel geschaltet (Siehe Plan 6a (Methode 1) und 6b (Methode 2); Brücken in rot, Kabel in grün (Verbindung) sowie orange (Erde)).

In beiden Fällen wurde der Ausgangsspannungsverlauf mit Hilfe des digitalen Oszilloskops aufgezeichnet (Oszilloskop vor (!) dem zweiten Gatter). Die einstellbaren Widerstände wurden so dimensioniert, dass ein möglichst gutes Pegel-Rückkopplungsverhältnis entstand. Das heißt es wurde eine möglichst geringe Verzerrung (wenig Überschwingen) bei gleichzeitigem Einhalten der Pegelbereiche gesucht. Im Anschluss wurden die Widerstände vermessen.



Messergebnisse

Aufgabenteil 1		
U_e/V	U_a/V	I_a/A
0,8	3,84	0
2,0	0,12	0,23

Aufgabenteil 2	
U_e/V	U_a/V
1,5	4,95
2,7	0,04

Aufgabenteil 3, LSTTL ohne Last							
„von links nach rechts“						„von rechts“	
U_e/V	U_a/V	U_e/V	U_a/V	U_e/V	U_a/V	U_e/V	U_a/V
0,0	4,38	0,5	4,06	1,0	3,0	1,2	0,11
0,1	4,36	0,6	3,99	1,1	2,2	1,15	0,11
0,2	4,29	0,7	3,92	1,15	1,08	1,1	0,12
0,3	4,21	0,8	3,84	1,2	0,11	1,05	2,58
0,4	4,13	0,9	3,68	1,3	0,11	1,0	2,96

Aufgabenteil 3, LSTTL mit Last							
„von links nach rechts“						„von rechts“	
U_e/V	U_a/V	U_e/V	U_a/V	U_e/V	U_a/V	U_e/V	U_a/V
0,0	4,38	0,5	4,06	1,0	2,97	1,2	0,13
0,1	4,36	0,6	3,99	1,1	2,21	1,15	0,13
0,2	4,29	0,7	3,92	1,15	1,08	1,1	0,14
0,3	4,21	0,8	3,84	1,2	0,47	1,05	2,59
0,4	4,14	0,9	3,67	1,3	0,12	1,0	2,95

Aufgabenteil 3, CMOS			
„von links“		„von rechts“	
U_e/V	U_a/V	U_e/V	U_a/V
2,5	4,95	2,75	0,0
2,6	4,95	2,71	0,0
2,65	4,95	2,7	4,95
2,7	0,37	2,65	4,95
2,71	0,0	2,6	4,95

Aufgabenteil 4, LSTTL			
Ohne Last		Mit Last	
t_{HL}/ns	t_{LH}/ns	t_{HL}/ns	t_{LH}/ns
5,6	6,0	6,0	6,8

Aufgabenteil 5, CMOS			
Ohne Last		Mit Last	
t_{HL}/ns	t_{LH}/ns	t_{HL}/ns	t_{LH}/ns
125	65	133	72

Aufgabenteil 6						
Methode 1			Methode 2			
$U_{a,low}/mV$	$U_{a,high}/V$	R/Ω	$U_{a,low}/mV$	$U_{a,high}/V$	R_1/Ω	R_2/Ω
320	3,56	129	520	2,76	295	312

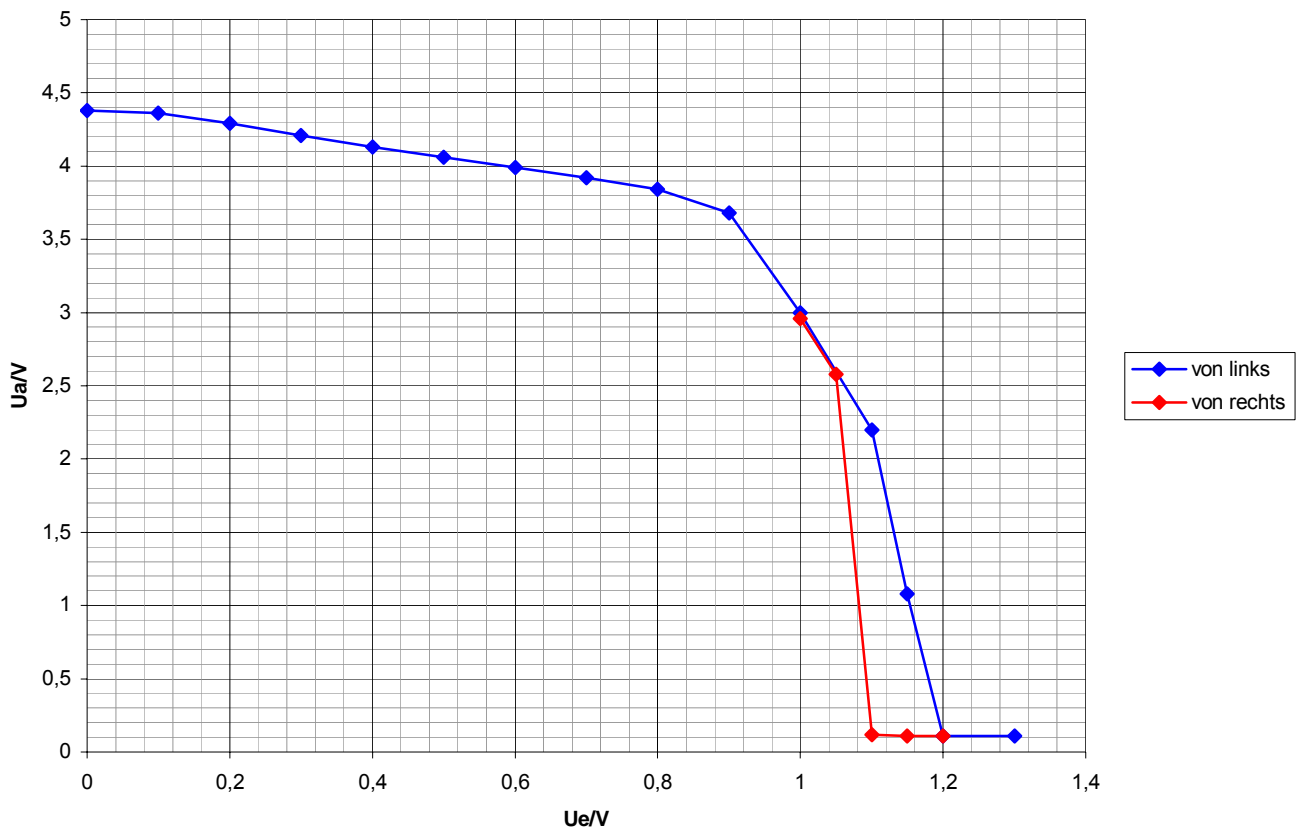
Auswertung

Aufgabenteil 1 und 2

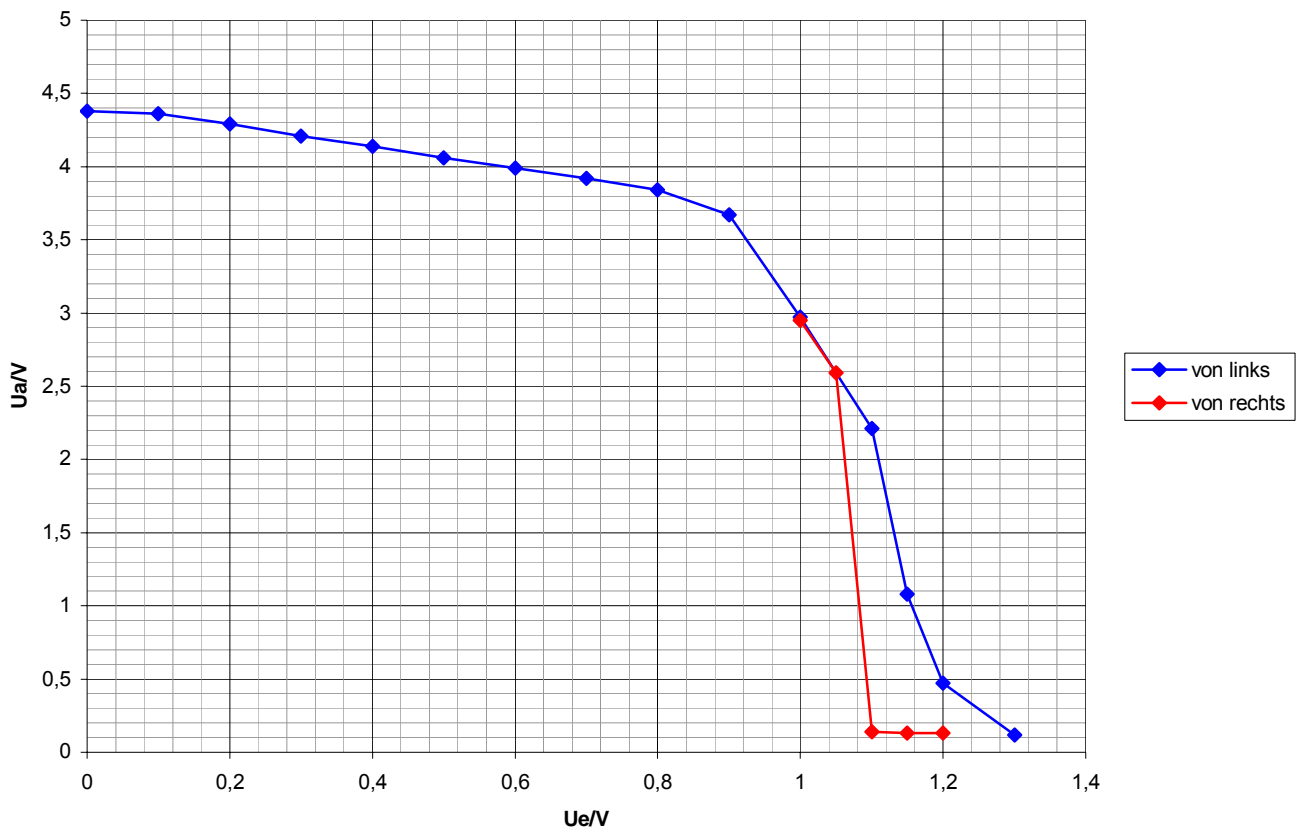
Die Messung zeigt, dass die Schaltung innerhalb der geforderten Parameter arbeitet. Die Pegelbereiche am Ausgang werden eindeutig eingehalten. Es bleibt genügend Raum, um Fehler durch Schwankungen zu eliminieren.

Aufgabenteil 3

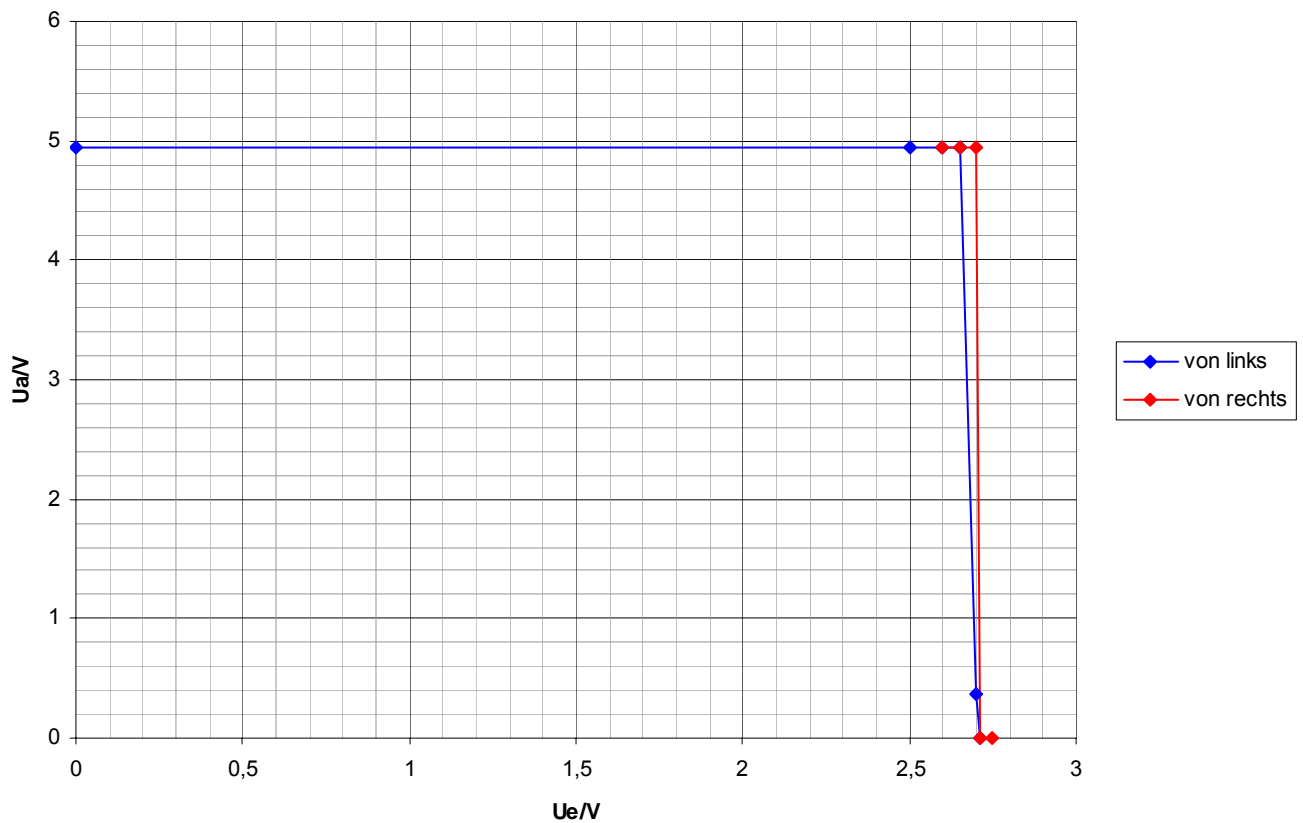
LSTTL ohne Last



LSTTL mit Last



CMOS



Aus den Diagrammen ist deutlich erkennbar, dass die angehängte Last keinen messbaren (CMOS) oder nur einen minimalen (LSTTL) Einfluss auf die Übertragungskennlinie bzw. die Hysterese hat.

Beim LSTTL ist gut erkennbar, dass im Bereich vor der kritischen Eingangsspannung $U_{e,low}$ ein flacher Abfall in der Kennlinie liegt. Dieser war schaltungstechnisch erwartet, da durch einen Transistor innerhalb der Schaltung des LSTTL bedingt, wie vom Versuchsbetreuer vorgeführt. Auf $U_{e,low}$ folgt quasi umgehend der erwartete steile Abfall (deutlich erkennbar). Dieser steile Abfall garantiert die Einhaltung der Pegelbereich und somit die Ergebniseindeutigkeit.

Beim CMOS ist der erwartete, fast senkrechte Abfall im Diagramm deutlich erkennbar. Ebenfalls erkennbar ist die kaum messbare Hysterese. Dass die Hysterese im Diagramm (im oberen Bereich) so groß wirkt, liegt an den gewählten Messpunkten. Auch hier garantiert der steile Abfall ein eindeutiges Ergebnis am Ausgang.

Wie erwartet unterscheidet sich die Sprungstelle beim LSTTL deutlich erkennbar von der des CMOS. Dies liegt an der unterschiedl. Technik der beiden Gatter. Beim einen liegen Bipolartransistoren in der Schaltung, beim anderen Feldeffekttransistoren.

Aufgabenteil 4 und 5

Aus den gemessenen Zeiten lassen sich die mittleren Signalverzögerungen berechnen.

Beim LSTTL ergeben sich:

$$\bar{t}_{\text{ohne Last}} = \frac{t_{HL, \text{ohne Last}} + t_{LH, \text{ohne Last}}}{2} = 5,8\text{ns}$$
$$\bar{t}_{\text{mit Last}} = \frac{t_{HL, \text{mit Last}} + t_{LH, \text{mit Last}}}{2} = 6,4\text{ns}$$

Beim CMOS ergeben sich:

$$\bar{t}_{\text{ohne Last}} = \frac{t_{HL, \text{ohne Last}} + t_{LH, \text{ohne Last}}}{2} = 95\text{ns}$$
$$\bar{t}_{\text{mit Last}} = \frac{t_{HL, \text{mit Last}} + t_{LH, \text{mit Last}}}{2} = 102,5\text{ns}$$

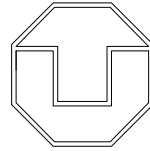
Die Ergebnisse aus Aufgabenteil 3 mit einbeziehend erkennt man, dass beide Gatter ihre Vor- und Nachteile haben.

Während der LSTTL beim Abfall zwischen High- und Low-Pegel ein gewisses Spannungsintervall überstreckt, bietet er eine kurze Signalverzögerung. Der CMOS hingegen bietet einen fast direkten Wechsel zwischen den Pegeln, hat dabei jedoch eine höhere Signalverzögerung.

Aufgabenteil 6

Vorab ist zu bemerken, dass eine Realisierung durch annähernd gleiche Widerstände machbar ist (durch unterschiedliche lassen sich die Pegel besser einstellen).

Der Vergleich der beiden Methoden zeigt, dass Methode 1 hier bessere Ergebnisse liefert. Die minimale Spannung liegt bei 320mV, das ist deutlich unter dem Low-Pegel (800mV). Die maximale Spannung liegt deutlich oberhalb des High-Pegels (3,56V zu 2,0V). Bei Methode 2 liegen die Spannungsextrema dichter an den Pegeln, was bei Schwankungen eher zu Fehlern führen kann.



Statische und dynamische Grundeigenschaften digitaler Schaltkreise

1. Aufgabenstellung

1. Überprüfen Sie die Funktionsweise eines LS-TTL-Schaltkreises vom Typ 74LS00. Messen Sie dazu den Ausgangsstrom und die Signalpegel bei Lastfaktor 1 und den Zuständen **LOW** und **HIGH** am Ausgang des Gatters bei den für U_e garantierten Grenzwerten. (Die Betriebsspannung (U_B) des LS-TTL-Schaltkreises beträgt +5V).
2. Messen Sie die Signalpegel am Ausgang eines Gatters des CMOS-Schaltkreises V 4011 bei Zuständen **LOW** und **HIGH** am Ausgang des Gatters bei den für U_e garantierten Grenzwerten der TTL-Schaltkreisfamilie. Die Betriebsspannung (U_B) des CMOS-Schaltkreises beträgt +5V.
3. Nehmen Sie die Übergangskennlinie $U_A = f(U_E)$ für ein LS-TTL- ($U_B = +5V$) und ein CMOS-Gatter ($U_B = +5V$) o.g. Schaltkreise auf.
4. Bestimmen Sie die mittlere Signalverzögerungszeit t_p eines LS-TTL-Gatters o.g. Schaltkreises durch die Messung der Ausschaltverzögerungszeit t_{PLH} und Einschaltverzögerungszeit t_{PHL} ($U_B = 5V$).
5. Bestimmen Sie die mittlere Signalverzögerungszeit eines CMOS-Gatters o.g. Schaltkreises bei ($U_B = 5V$).
6. Testen und optimieren Sie eine Schaltanordnung zur Übertragung von Impulsen zwischen LS-TTL-Schaltkreisen über eine elektrisch lange Leitung ($l = 5m$).

2. Hinweise zu den Aufgaben

Zur Lösung der Aufgaben steht Ihnen ein Experimentierbrett, Digital-Vielfachmeßgeräte und ein Oszilloskop zur Verfügung. Die Verbindungen entsprechend der gewählten Schaltung werden auf dem Experimentierbrett durch Verbindungsbrücken hergestellt. Die Stromversorgung (+5V) wird über die Buchse U_B und Common (Bezugspotential) zugeführt. Der Anschluß der Digital-Vielfachmeßgeräte erfolgt mittels der Spezialschnüre. Die Oszilloskop-Tastköpfe werden an den Meßstiften entspr. der Meßaufgabe eingehängt.

1. Nutzen Sie zur Messung dieser Größen das gekennzeichnete Gatter D5 und als Last einen Eingang des daneben liegenden Gatters D6.

2. Achten Sie auf die richtige Beschaltung unbenutzter Eingänge (Machen Sie sich dabei die Unterschiede zwischen Schaltkreisen der TTL-Familie und CMOS-Schaltkreisen klar). Verwenden Sie das Gatter D7 und als Last einen Eingang des Gatters D8.
3. Die Versuche führen Sie mit den in Aufgabe 1 und 2 genannten Gattern durch. Verbinden Sie den Ausgang des auszumessenden Gatters mit einem Eingang eines nachfolgenden Gatters wie in Aufgabe 1 und 2 (Lastfaktor = 1) Beachten Sie, daß in der Nähe des Umschaltpunktes die Schrittweite der Meßpunkte deutlich verkleinert werden sollte. Als einstellbare Spannungsquelle verwenden Sie die Spannungsquelle U_V auf dem Experimentierbrett (die Grenzwerte der Eingangsspannung sind damit automatisch eingehalten - machen Sie sich klar, weshalb das notwendig ist). Stellen Sie $U_A = f(U_E)$ grafisch dar und diskutieren Sie den Verlauf.
- 4.u.5. Die Messung der Aus- und Einschaltverzögerungszeit des Gatters erfolgt mit einem Zweistrahloszilloskop (zu dessen Handhabung werden Sie vom Betreuer eingewiesen). Als Impulsgenerator verwenden Sie den Impulsgenerator G ($f \approx 2\text{MHz}$, $T_{\text{High}} / T_{\text{Low}} \approx 1$) auf Ihrem Experimentierbrett ($U_{\text{Amax}} = 4\text{V}$). Über eine Steckbrücke verbinden Sie diesen mit dem Gatter D1 des LS-TTL-Schaltkreises 74LS00 bzw. des Gatters D3 des CMOS-Schaltkreises 4011. Der Ausgang des Gatters wird nicht mit einem nachfolgenden Eingang eines Gatters verbunden. Wählen Sie die richtigen Meßpunkte für die Oszillographenbilder. Bestimmen Sie t_{pL-H} und t_{pH-L} getrennt und berechnen Sie daraus t_p .
6. Wenden Sie Ihre Kenntnisse aus der Experimentalphysik an, um die Form der Impulse bei der Signalübertragung auf elektrisch langen Leitungen zu verstehen. Welche Möglichkeiten würden Sie daraus ableiten, um die Signale über die Leitung möglichst unverfälscht zu übertragen. Testen Sie die Möglichkeiten der Anpassung der elektrisch langen Leitung an den Ausgang des speisenden Gatters und an den Eingang des empfangenden Gatters am Beispiel der Signalübertragung zwischen LSTTL-Gattern (Übertragung zwischen D1 und D2) und zwischen CMOS-Gattern (Übertragung zwischen D3 und D4). Dazu steht Ihnen auf der Testplatine ein Netzwerk aus Widerständen und Dioden zur Verfügung, mit dem Sie durch Brücken wiederum die gewünschte Schaltung realisieren können. Als elektrisch lange Leitung verwenden Sie eine 5m lange Einzelleitung und eine 5m lange verdrehte Doppelleitung (eine Leitung an Bezugspotential). Vergleichen Sie die Impulsformen bei nichtangepaßter elektrisch langer Leitung mit denen bei elektrisch kurzer Leitung.

3. Hinweise zur Vorbereitung

1. Die Anleitung zu diesem Versuch beschränkt sich bewußt auf die Versuchsaufgaben. Wichtigstes Vorbereitungsmaterial sollten Ihre in der Elektronik-Vorlesung gemachten Aufzeichnungen bzw. Scripten sein.
3. Als gute Vorbereitung ist ein Script von Herrn Dr. Hirt (TU Illmenau) geeignet. Eine Kopie der Kapitel, die den Stoff für die Vorbereitung der Versuche kurz und prägnant darstellen, liegt auf dem Server des Instituts für Kern- und

Teilchenphysik (URL: <http://iktp.tu-dresden.de/elek>). Wer keinen Zugang zum Web hat, kann eine Kopie dieser Kapitel in gedruckter Form erhalten (im Institut für Kern- und Teilchenphysik, ASB, Raum E25 oder E12, günstig wäre ein Anruf vorher, um nicht unnötig viele Exemplare drucken zu müssen).

4. Die Lehrbücher "Elektronik für Physiker" (Teubner Studienbücher, Physik), "Digitale Schaltungen" (Seifart, Verlag Technik, Berlin), als auch teilweise "Halbleiter-Schaltungstechnik" (Tietze/Schenk, Springer Verlag) sind für die Vorbereitung der Versuche geeignet.

4. Zeiteinteilung

Aufgabe	Zeit
1. Einweisung Messung stat. Eigenschaften	25 min
2. Messung stat. Eigenschaften LS-TTL	20 min
3. Messung stat. Eigenschaften CMOS	10 min
4. Messung der Übertragungskennlinie von LSTTL und CMOS	25 min
5. Einweisung Messung dynamischer Eigenschaften	20 min
6. Bestimmung der Signalverzögerungszeit bei LSTTL	20 min
7. Bestimmung der Signalverzögerungszeit bei CMOS	10 min
8. Einweisung Optimierung der Signalübertragung LSTTL-Gattern	20 min
9. Optimierung der Signalübertragung zwischen LSTTL-Gattern	45 min
10. Auswertung	25 min